

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Izumi HIRANO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-048515	February 26, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月26日
Date of Application:

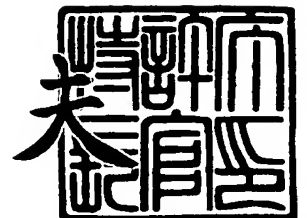
出願番号 特願2003-048515
Application Number:
[ST. 10/C]: [JP 2003-048515]

出願人 株式会社東芝
Applicant(s):

2003年 7月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 13B02X0781

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/316

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 平野 泉

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 小山 正人

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 西山 彰

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】**【予納台帳番号】** 010261**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

シリコン基板と、

前記シリコン基板上に形成された、シリコン、酸素、窒素、及び金属を含有するゲート絶縁膜であって、前記シリコン基板に接する第 1 の層領域と、前記ゲート絶縁膜の第 1 の層領域と反対側の第 2 の層領域と、前記第 1 および第 2 の層領域の間にある第 3 の層領域を備え、前記第 3 の層領域における前記金属の最大濃度が前記第 1 及び第 2 の層領域における前記金属の濃度の最小値よりも高く、前記第 3 の層領域における前記窒素の最大濃度が前記第 1 及び第 2 の層領域における前記窒素の濃度の最小値よりも高い前記ゲート絶縁膜と、

前記第 2 の層領域に接するゲート電極と、

前記ゲート絶縁膜の両脇に形成された一対のソース／ドレイン領域を備えることを特徴とする半導体装置。

【請求項 2】

シリコン基板と、

前記シリコン基板上に形成された、酸素、窒素、及び金属を含有するゲート絶縁膜であって、前記シリコン基板に接する第 1 の層領域と、前記ゲート絶縁膜の第 1 の層領域と反対側の第 2 の層領域と、前記第 1 および第 2 の層領域の間にある第 3 の層領域を備え、前記金属の濃度が前記第 1、第 2 および第 3 の層領域において一様であり、前記第 2 の層領域における前記窒素の最大濃度が前記第 1 及び第 3 の層領域における濃度の最小値よりも高い前記ゲート絶縁膜と、

前記第 2 の層領域に接するゲート電極と、

前記ゲート絶縁膜の両脇に形成された一対のソース／ドレイン領域を備えることを特徴とする半導体装置。

【請求項 3】

前記金属は、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、あるいは希土類元素のいずれかであることを特徴とする請求項 1

または2に記載の半導体装置。

【請求項4】

シリコン基板上に、シリコン、酸素、窒素及び金属を含む金属シリケート膜を形成するにあたって、

前記金属シリケート膜中の前記窒素の濃度を、前記シリコン基板側の第1の層領域及び前記第1の層領域と反対側の第2の層領域よりも、前記第1および第2の層領域に挟まれた第3の層領域において高く、前記シリコン及び前記金属の濃度を前記第1、第2および第3の層領域にわたって一様な金属シリケート膜を形成した上で、前記金属シリケート膜を熱処理することを特徴とする半導体装置の製造方法。

【請求項5】

前記金属シリケート膜中の窒素の濃度分布は、前記金属シリケート膜を堆積する過程で、アルゴンガス、窒素ガス、及び酸素ガスの流量比を時間変化させることにより制御することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】

前記金属は、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、あるいはその他の希土類元素のいずれかであることを特徴とする請求項4または5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果トランジスタ等のような電界が印加されるMIS (Metal-Insulator-Semiconductor) 構造を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

LSIの高速化、高集積化の要求により、更なるトランジスタの微細化が進められており、それに伴ってゲート絶縁膜の薄膜化が要求されている。従来のMIS構造の電界効果トランジスタ(MISFET)では、ゲート絶縁膜としてSiO

SiO_2 が使われてきた。しかし、 SiO_2 の薄膜化が1 nmまで進むと、ゲート金属から SiO_2 を介して基板に流れるリーク電流が大きくなるという問題が生じる。

特に、低スタンバイ電力のMISFETにおいてこの問題は深刻である。

そこで SiO_2 に替わるゲート絶縁膜として高誘電率ゲート絶縁膜が検討されている。その利点は、ゲート絶縁膜に SiO_2 よりも誘電率の高い材料を用いることで、絶縁膜の実効膜厚を薄くすることなくゲート容量を確保できることである。これにより、ゲート絶縁膜を流れるリーク電流を抑えることができる。しかし、高誘電絶縁膜材料は一般にシリコン基板との界面特性が悪く、界面準位や固定電荷などを生じやすいという問題がある。

また、 SiO_2 に金属を添加したいわゆる金属シリケートもゲート絶縁膜材料として検討されている。金属シリケートはシリコンを含むため、その比誘電率は8~20と低めであるが、シリコンウェーハとの界面特性に優れており、通常のHigh- κ 材料で生じやすい、界面欠陥に起因した電流駆動力の低下が起きにくいと考えられる。

【0003】

ただし、より厳密には、シリコン基板と金属シリケート膜との界面特性は、シリコン基板と SiO_2 膜の界面特性にはるかに及ばない。例えば、金属シリケートをFETのゲート絶縁膜として用いた場合、金属シリケートに含まれる金属が形成するポテンシャル場により、シリコン基板表面のチャネル領域を走行する電子がリモート散乱を受けるという問題が生じる。また、金属シリケート膜中に添加される窒素も界面特性を悪くする要因であると考えられる。

【0004】

そこで、絶縁膜の界面特性を向上するために、金属シリケートの内部における金属組成と窒素組成を、シリコン基板側で低く、シリコン基板から離れるほど高くするという、いわゆる「傾斜組成金属シリケート」の構造が提案されている（特許文献1参照）。

【0005】

また、金属組成をゲート絶縁膜の中央で高くし、ゲート電極付近とシリコン基板との界面付近で低くする構造も提案されている（特許文献2参照）。

【0006】

【特許文献1】

特開 2000-49349 公報

【特許文献2】

特願 2002-49464 公報

【0007】

【発明が解決しようとする課題】

以上説明したように、金属シリケートを用いたゲート絶縁膜では、シリコンとの界面特性を良好に保つために金属や窒素の組成を傾斜させる構造が提案されている。しかし、これらの構造では、ゲート電極側の金属濃度や窒素濃度が高いため、絶縁膜のバンドオフセットが小さくなり、リーク電流が増大する原因となる。

【0008】

本発明は、このような問題を解決することを目的とし、絶縁膜のリーク電流を低減する金属シリケート膜などを用いた半導体装置とその簡便な製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明の第一は、シリコン基板と、シリコン基板上に形成された、シリコン、酸素、窒素、及び金属を含有するゲート絶縁膜であって、シリコン基板に接する第1の層領域と、ゲート絶縁膜の第1の層領域と反対側の第2の層領域と、第1および第2の層領域の間にある第3の層領域を備え、第3の層領域における金属の最大濃度が第1及び第2の層領域における金属濃度の最小値よりも高く、第3の層領域における窒素の最大濃度が第1及び第2の層領域における窒素濃度の最小値よりも高いゲート絶縁膜と、第2の層領域に接するゲート電極と、ゲート絶縁膜の両脇に形成された一対のソース／ドレイン領域を備えることを特徴とする半導体装置を提供する。

【0010】

また、本発明の第二は、シリコン基板と、シリコン基板上に形成された、酸素

、窒素、及び金属を含有するゲート絶縁膜であって、シリコン基板に接する第1の層領域と、ゲート絶縁膜の第1の層領域と反対側の第2の層領域と、第1および第2の層領域の間にある第3の層領域を備え、金属の濃度は第1、第2および第3の層領域で一様であり、第2の層領域の窒素の最大濃度は第1及び第3の層領域における窒素の濃度の最小値よりも高いゲート絶縁膜と、第2の層領域に接するゲート電極と、ゲート絶縁膜の両脇に形成された一对のソース／ドレイン領域を備えることを特徴とする半導体装置。

【0011】

ここで、金属の濃度が一様とは、濃度のばらつきが約20%以下であることをいう。

【0012】

上記構成によれば、ゲート絶縁膜のバンドギャップはシリコン基板側の第1の層領域と、ゲート電極側の第2の層領域で大きくなり、リーク電流を抑制することができる。また、シリコン基板に対する不純物の突き抜けや、金属の酸化物の結晶化等をふせぎつつ、0.1 μm 以下の世代のMIS構造に要求される高い品質のゲート絶縁膜を実現することができる。

【0013】

また、金属は、ジルコニウム、ハフニウム、チタン、タンタル、アルミニウム、イットリウム、あるいは希土類元素のいずれかとするこで、高い誘電率を有し、同時に耐熱性、物理的あるいは化学的安定性に優れ、吸湿性も少ない金属シリケート絶縁膜が得られる。

【0014】

さらに、本発明の第三は、シリコン基板上に、シリコン、酸素、窒素及び金属を含む金属シリケート膜を形成するにあたって、窒素の濃度を、シリコン基板側の第1の層領域及び前記第1の層領域と反対側の第2の層領域よりも、前記第1および第2の層領域に挟まれた第3の層領域で高くし、シリコン及び金属の濃度分布を第1、第2および第3の層領域にわたって一様な金属シリケート膜を形成した上で、金属シリケート膜を熱処理することを特徴とする半導体装置の製造方法を提供する。

【0015】

熱処理を施すことにより、窒素の濃度が低いところではシリコンと金属の拡散がおこり、シリコンがゲート電極側及びシリコン基板側に偏析し、金属がシリケート膜の中央付近に移動する。このような拡散現象を用い、金属及び窒素の組成傾斜をつけることが可能である。よって、比較的容易に絶縁膜中の金属および窒素の濃度を理想的な分布状態にすることができる。

【0016】

また、これら製造方法において、金属シリケート膜は、窒素も含むものであるため、金属の拡散を緩和することにより、金属の移動を制御し、同時に不純物の突き抜けや結晶の形成も抑制することができる。

【0017】

【発明の実施の形態】

以下、図面を参照しつつ、本発明の実施の形態および実施例について詳細に説明する。尚、以後の説明では、共通の構成に同一の符号を付すものとし、重複する説明は省略する。また、各図は模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、実際の装置を製造する際は、以下の説明と公知の技術を参酌して判断することができる。

【0018】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に関わるMISFETの製造方法とそれにより得られる半導体装置を説明するための断面図である。

【0019】

まず、図1(a)のように、シリコン基板10の上に、窒素添加したジルコニウムシリケート膜12、キャップ層14を順に積層する。尚、窒素添加したジルコニウムシリケート膜12は、窒素が添加されたジルコニウムとシリコンとの化合物であり、ジルコニウムとシリコンは膜中の深さ方向に略均一な組成分布を有する。ここで、ジルコニウムシリケート膜12の深さ方向とは、キャップ層14との界面からシリコン基板10との界面に向う方向である。

【0020】

キャップ層 14 は、例えば、不純物を添加した多結晶シリコン（ポリシリコン）等の導電性の材料により形成する。

【0021】

この段階でのジルコニウムシリケート膜 12 中の各元素の深さ方向の組成分布を図 2 の各図を用いて説明する。図 2 (a) はジルコニウムの濃度分布を、図 2 (b) はシリコンの濃度分布を、図 2 (c) は窒素の濃度分布を示す。ジルコニウムとシリコンの深さ方向の組成は、一様にする。ここではジルコニウムの原子濃度を 20 at %、シリコンの原子濃度を 20 at % とした。また、窒素の濃度分布は、キャップ層 14 側とシリコン基板 10 側で 8 at % と低く、中央で 40 at % と高くする。このような組成分布の実現方法は後に詳述する。

【0022】

次に、この積層膜に熱処理を施す。この熱処理は、例えば窒素雰囲気中で約 1000℃ 30 秒の熱処理である。この熱処理により、窒素濃度の低い層領域でシリコン原子と金属原子の拡散が起こり、ジルコニウムシリケート膜 12 は、図 2 (b) に示す組成分布の変化したジルコニウムシリケート膜 12' となる。

【0023】

このジルコニウムシリケート膜 12' 中の各元素は、図 3 の各図に示す組成分布を持つ。つまり、シリコンは、図 3 (b) のように、シリコン基板 10 側の第 1 の層領域、及びキャップ層 14 側の第 2 の層領域に移動（偏析）する。その結果、第 1 の層領域や第 2 の層領域に比べて、これらに挟まれた第 3 の層領域のシリコンが減少する（第 2 の層領域におけるシリコンの最大濃度は、第 1 および第 2 の層領域におけるシリコンの各最小値よりも高い。）。

【0024】

また、ジルコニウムシリケート膜 12' 中のジルコニウムは、図 3 (a) のように、シリコン基板 10 側の第 1 の層領域とキャップ層 14 側の第 2 の層領域で減少し、第 3 の層領域に向って移動する。これにより、ジルコニウムの第 2 の層領域における最大濃度は、第 1 および第 2 の層領域における濃度の各最小値よりも高くなる。

【0025】

尚、第3の層領域に偏析していた窒素は図3(c)に示すように、熱処理により第1および第2の層領域へ若干量移動するため、図2(c)に比べて分布はなめらかになる(窒素の第3の層領域における最大濃度は、第1および第2の層領域における濃度の最小値よりも高い)。

【0026】

つまり、本実施の形態のジルコニウムシリケート膜は、次のような窒素濃度分布を備える。組成傾斜によって擬似 SiO_2 になった第1および第2の層領域では窒素濃度が相対的に低く、金属濃度が高い第3の層領域では窒素濃度が相対的に高い構造である。

【0027】

尚、窒素をジルコニウムシリケート12に添加することにより、熱処理工程において金属原子の拡散を制御することができる。窒素を添加したジルコニウムシリケート膜12の内部では、 $\text{Si}-\text{N}$ 結合が形成されるため、金属原子(ジルコニウム)のジルコニウムシリケート膜中における拡散が抑制できる。これにより、相分離抑制や結晶化抑制という効果が期待できる。

【0028】

また、ジルコニウムシリケート膜12への窒素添加により、キャップ層14からシリコン基板10への不純物拡散を抑制する効果も期待できる。つまり、キャップ層14としてボロン等の不純物を添加したポリシリコンを用いた場合は、ボロン等のシリコン基板12への拡散を抑えることができる。

【0029】

さらに、ジルコニウムシリケート膜12に窒素を添加することにより、最終的に形成されるジルコニウムシリケート膜12'の耐熱性を向上させ、その結晶化を防ぐことができる。この結晶化の抑制によりキャップ層14からシリコン基板10への不純物の「突き抜け」をさらに抑制することができる。

【0030】

尚、ジルコニウムシリケート膜12'中のジルコニウム濃度が高い程、熱処理によって結晶化しやすいため、ジルコニウム濃度の高いところで窒素濃度を高くすることで、層の結晶化を抑制することもできる。

【0031】

以上、詳述したように、本実施の形態によれば容易にジルコニウムなどの金属組成を傾斜させた金属シリケート膜を形成することができる。

【0032】

尚、本実施の形態では、金属シリケート膜の金属としてジルコニウムを例に説明した。本発明の各実施の形態において、ジルコニウムに替えてハフニウム、チタン、タンタル、アルミニウム、イットリウム、ランタン、セリウム、あるいはその他の希土類元素を用いることができる。

【0033】

図4は、MISFETを説明するためのゲート長方向の断面図である。

【0034】

すなわちシリコン基板10の主表面上には、上述の傾斜組成の金属シリケート膜12'及びゲート電極24を積層したMIS構造が形成されている。一般に、金属シリケート膜12'及びゲート電極24は図5の紙面垂直方向（ゲート幅方向）に伸びる短冊形状を有する。

【0035】

ゲート電極24は多結晶シリコン層からなる。ゲート電極24の両側壁には、側壁絶縁膜26が形成されている。ゲート電極24の両脇のシリコン基板10表面には、高濃度に不純物が拡散された一対の深い拡散領域28Aと、深い拡散層28Aとゲート電極24の間に形成された浅い拡散領域28Bが形成されている。また、深い拡散領域28Aとゲート電極24の多結晶シリコン層上には金属シリサイド層30が形成されている。

【0036】

さらに、一対の浅い拡散領域28Bの間には、ゲートへの電圧印加により形成されるチャネル領域32が形成されている。チャネル領域はトランジスタのしきい値の調整のため、適宜、添加する不純物の量が調整されている。尚、このMISFETの両脇には、隣の素子との間を電氣的に絶縁する素子分離領域が一般に形成される（図示せず）。

【0037】

本実施の形態のMISFETは、傾斜組成を有する金属シリケート膜12'がゲート絶縁膜として作用して、高い誘電率と高い信頼性が得られる。そのため、ゲート電極24とシリコン基板10との間のリーク電流やトンネル電流を抑止することができる。

【0038】

(第2の実施の形態)

本発明の第2の実施の形態に関わるMISFETのゲート絶縁膜の製造方法を説明する。図5(a), (b)および(c)は、第2の実施の形態のMISFETの製造方法を説明するための工程断面図である。

【0039】

まず、素子間を電氣的に絶縁する素子分離領域(図示せず)を形成したシリコン基板10を準備する。次に、このシリコン基板10の表面の自然酸化膜を希フッ酸(HF)溶液処理により除去し、シリコン基板10の表面の未結合手を水素により終端した。そして、均一組成の金属シリケート膜12をシリコン基板10の上に形成した(図5(a))。金属シリケート膜として、例えば厚さ約2nmのジルコニウムシリケート膜を形成した。この際には、ジルコニウム酸化物ターゲットとシリコン酸化物ターゲットとを用い、アルゴンと酸素、窒素の混合ガスプラズマを用いたスパッタリングを用いた。

【0040】

この際には、層の深さ方向において金属およびシリコンが均一な組成で、且つ、窒素濃度が深さ方向の中央で高くなり、シリコン基板10との界面付近及びゲート電極14との界面付近で低くなる金属シリケート膜12を形成する。

【0041】

形成方法としてはスパッタ法の他にも、CVD法、蒸着法等を用いることができる。

【0042】

上述の窒素の分布は、例えば、スパッタ中に流す窒素(N₂)の流量を時間変

化させることによって実現することができる。図6にスパッタ中の窒素 (N_2) の流量の時間変化の例を模式的に示す。また、上記窒素組成分布は、窒素を含まない金属シリケート膜を堆積した後、条件 (圧力、プラズマの種類) を選択して行うプラズマ窒化により、実現することもできる。

【0043】

このようにして形成した金属シリケート膜12を備えるシリコン基板10を熱処理することで、第1の実施の形態で説明したような傾斜組成の金属シリケート膜12'を形成した。

【0044】

尚、金属シリケート膜の組成傾斜を実現する他の方法には、蒸着法やスパッタ法がある。例えば、蒸着方法では、別個の金属源とシリコン源を使用し、層の形成の途中で金属/シリコン比を変える方法がある。また、スパッタにおいては、1種類の組成のターゲットから傾斜組成を実現するのは困難であるため、組成の異なるターゲットを使用し、層の堆積を複数回に分けて行うことで傾斜組成が実現できる。これらの方法は、膜中の窒素濃度の高いところで金属原子およびシリコン原子が動きにくく、窒素濃度の低いところで金属原子およびシリコン原子が動きやすいという現象に基づく上述の方法と比べると若干煩雑な製法である。

ここでは一例として、キャップ層24 (ゲート電極) にポリシリコンを用い、昇温速度 $100^\circ\text{C}/\text{秒}$ で昇温した後に、 1000°C の窒素雰囲気中で30秒間の熱処理を行った。この熱処理により、組成傾斜金属シリケート膜12が形成できた。

【0045】

また、組成を傾斜させるための高温アニールは図5 (c) に示す不純物領域10A、10Bの形成工程において行うのではなく、図5 (b) に表したゲート電極形成後に行うことも可能である。

【0046】

(第3の実施の形態)

次に、本発明に関わる第3の実施の形態について、図7および図8を用いて説明する。絶縁層には、金属シリケートだけでなくシリコンを積極的に添加しない

金属酸化物を用いることもできる。第3の実施の形態では、この金属酸化物によるゲート絶縁膜について説明する。

【0047】

図7は、シリコン基板10上に金属酸化物膜34を形成し、さらに金属酸化物膜34上に導電性キャップ層14を設けた積層構造の断面図である。また、この金属酸化物膜34中の金属（例としてZr）、窒素（N）、酸素（O）の濃度分布の模式図を図8に示す。

【0048】

金属酸化物膜34中の窒素は、シリコン基板10との界面付近（第1の層領域）、および導電性キャップ層14との界面付近（第2の層領域）では相対的に低く、その間（第3の層領域）では窒素濃度が相対的に高くなるような構造である。

【0049】

このような濃度分布により、金属シリケート膜12'と同様に、第1および第2の層領域において、第3の層領域よりもバンドギャップを大きくでき、リーク電流を抑制することができる。この場合の製造方法は、たとえば、スパッタ中に、図8（b）に示すように、窒素（N₂）の流量を堆積時間に応じて変化させることで、その窒素組成分布を実現することができる。また、窒素組成分布は、窒素を含まない金属酸化物膜を堆積した後、プラズマ窒化により、実現することもできる。

【0050】

（第1の実施例）

次に、第1の実施の形態で説明した製造方法の具体例を説明する。図9（a）、（b）、（c）、（d）、（e）および（f）は、窒素添加したジルコニウムシリケート膜の熱処理前後の、膜の深さ方向のジルコニウムとシリコンの組成分布の変化を示す。

【0051】

図9の各図の横軸は、ジルコニウムシリケート膜12、12'のキャップ層14との界面を起点としてシリコン基板10に至るまでの深さを、縦軸は、Zrや

Si の濃度 (at %) を示す。この例でのジルコニウムシリケート膜 12 の厚さは 95 オングストロームである。

【0052】

図 9 (a) は、熱処理前の深さ 0 オングストロームから 40 オングストロームまでの分布を、図 9 (b) はその熱処理後の分布を示す。図 9 (c) は深さ 40 オングストロームから 70 オングストロームまでの熱処理前の分布を、図 9 (d) はその熱処理後の分布を示す。さらに、図 9 (e) は、深さ 75 オングストロームから 95 オングストロームまでの熱処理前の分布を、図 9 (f) はその熱処理後の分布を示す。これらの分布は HR-RBS (High Resolution Rutherford Back Scattering) により測定した。

【0053】

また、熱処理前の窒素濃度は、深さ 0 オングストロームから 50 オングストロームまでを 8 at %、50 オングストロームから 75 オングストロームまでを 40 at %、75 オングストロームから 95 オングストロームまでを 8 at % とした。さらに、ジルコニウムとシリコンの濃度は層の深さ方向に略均一とした。尚、図 9 (a) で Zr の濃度が 5 at % まで下がっているが、原因として、C などの汚染物質が表面側に混入し、相対的に Si、Zr と原子濃度としては低くなっているからである。しかし、実際の半導体装置製造工程のように汚染度が少ない場合にはこのような問題は生じず、また、汚染があってもアニール後には汚染物質は減少する。図 9 (a) の段階で、Zr は、完全に均一であることが理想だが、現実には、変動することもある。その場合には、変動量が約 20 % 以下であれば、所望の効果が得られる。図 9 (a) に示す Zr 濃度も、熱処理後の Zr の濃度分布と比較するとより均一であるといえる。

【0054】

図 9 (b)、(d) および (f) からわかるように、窒素濃度が低いシリコン基板 10 側の領域および導電性キャップ層 14 側の領域では、熱処理によって、表面と界面で Zr の濃度が低く、内側で濃度が高い分布が実現できる。

【0055】

また、図9(c)及び(d)から、熱処理前に窒素濃度が高かった中央領域では、熱処理後、シリコンとジルコニウムはほとんど移動していないことがわかる。このように第1の実施の形態に関わる製造方法により、金属組成の傾斜した金属シリケート膜12'が形成できる。

以上、実施の形態や実施例を例示しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではなく、特許請求の範囲に記載の要旨に沿って、適宜、変更することができる。

【0056】

例えば、トランジスタの構造についても、具体例として表したものには限定されず、その他、当業者が本発明を適用しつつ設計変更して得られる全てのトランジスタは、本発明の範囲に包含される。

【0057】

例えば、トランジスタの各部を構成する材料、添加不純物、膜厚、形状、導電型、形成方法などについて当業者が適宜設計変更したものは本発明の範囲に包含される。

【0058】

【発明の効果】

以上詳述したように、本発明によれば、良好な界面特性を維持し、且つ絶縁膜のリーク電流を低減する金属シリケート膜などを用いた半導体装置とその簡便な製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に関わる半導体装置の製造方法を説明するための断面模式図である。

【図2】

本発明の第1の実施の形態に関わる半導体装置の製造方法を説明するための濃度分布図である。

【図3】

本発明の第1の実施の形態に関わる半導体装置の製造方法を説明するための濃

度分布図である。

【図 4】

本発明の第 2 の実施の形態に関わる M I S F E T を説明するための断面模式図である。

【図 5】

本発明の第 2 の実施の形態に関わる M I S F E T の製造方法を説明するための断面模式図である。

【図 6】

スパッタ中に流す窒素(N_2)の流量の時間変化を示す模式図である。

【図 7】

本発明の第 3 の実施の形態に関わる M I S F E T を説明するための断面模式図である。

【図 8】

第 3 の実施の形態に関わる、金属酸化物膜中の金属、酸素、窒素の濃度分布図である。

【図 9】

本発明の第 1 の実施例における、H R - R B S による金属（ジルコニウム）、シリコンの濃度分布の結果である。

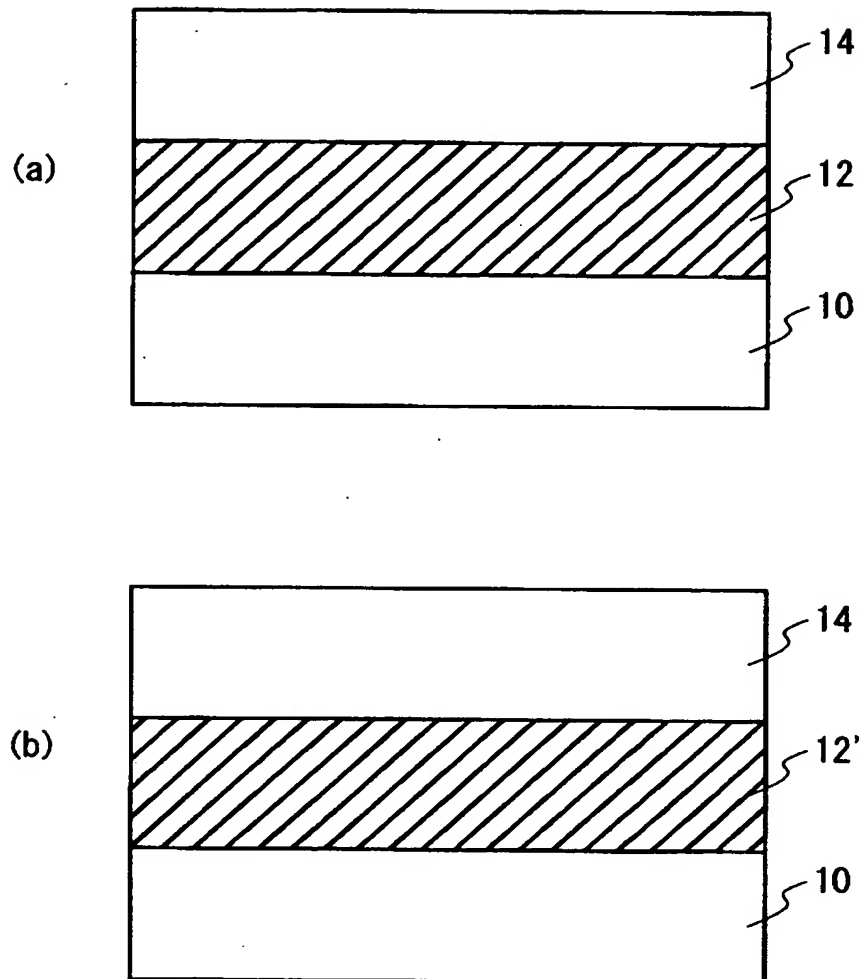
【符号の説明】

- 10・・・シリコン基板
- 12、12'・・・ジルコニウムシリケート膜
- 14・・・導電性キャップ層
- 24・・・ゲート電極
- 26・・・側壁絶縁膜
- 28A・・・深い拡散層
- 28B・・・浅い拡散層
- 30・・・金属シリサイド層
- 32・・・チャネル領域
- 34・・・金属酸化物

【書類名】

図面

【図 1】

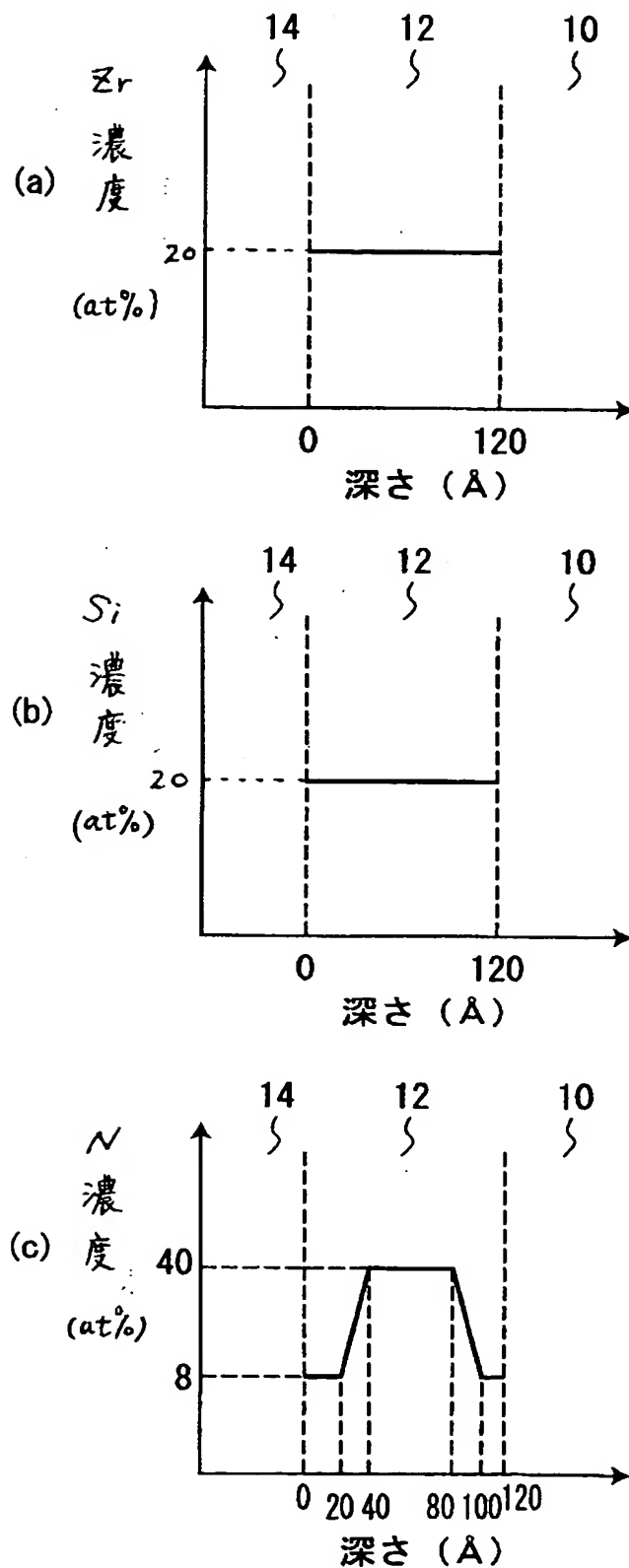


10…シリコン基板

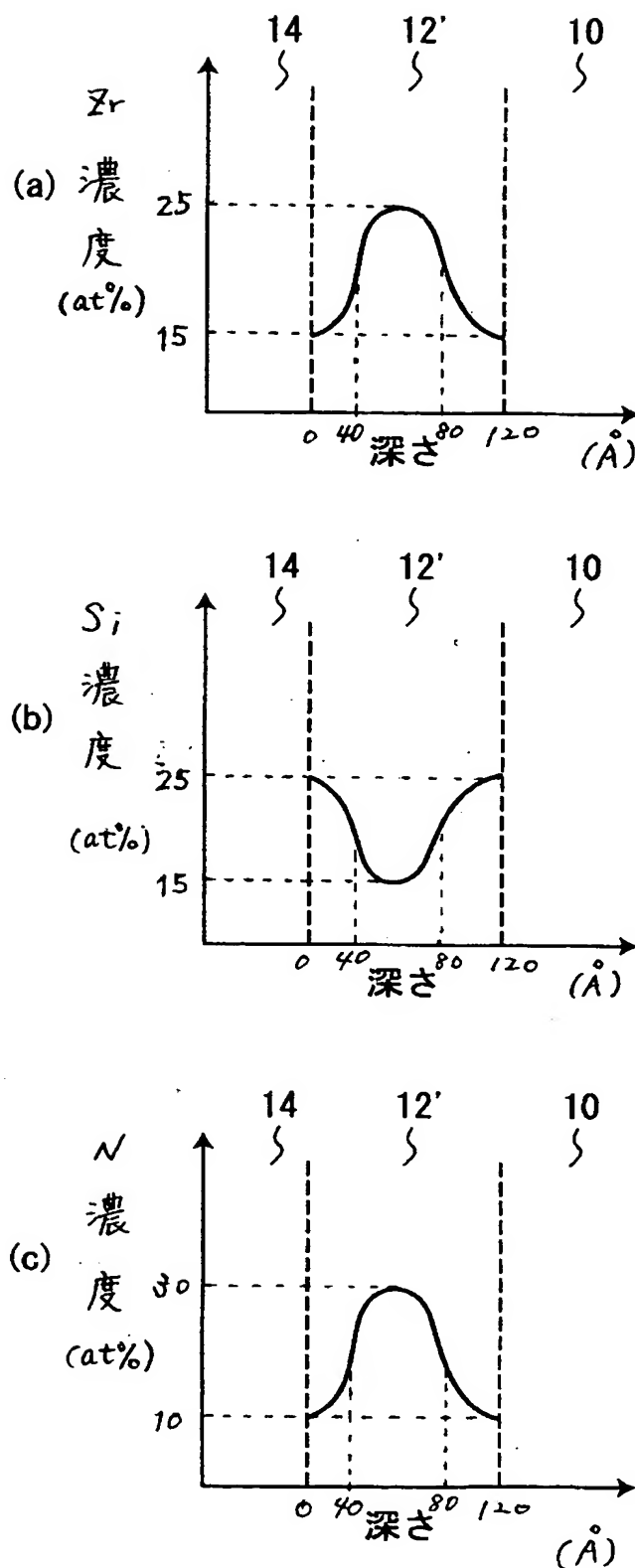
12、12'…ジルコニウムシリケート膜

14…導電性キャップ層

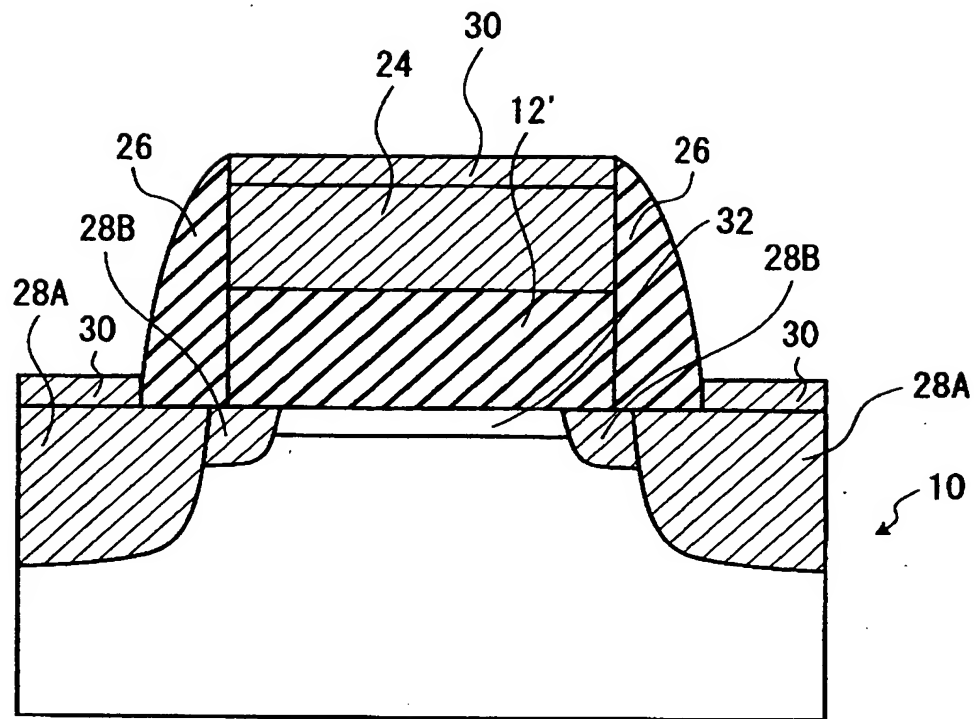
【図 2】



【図 3】

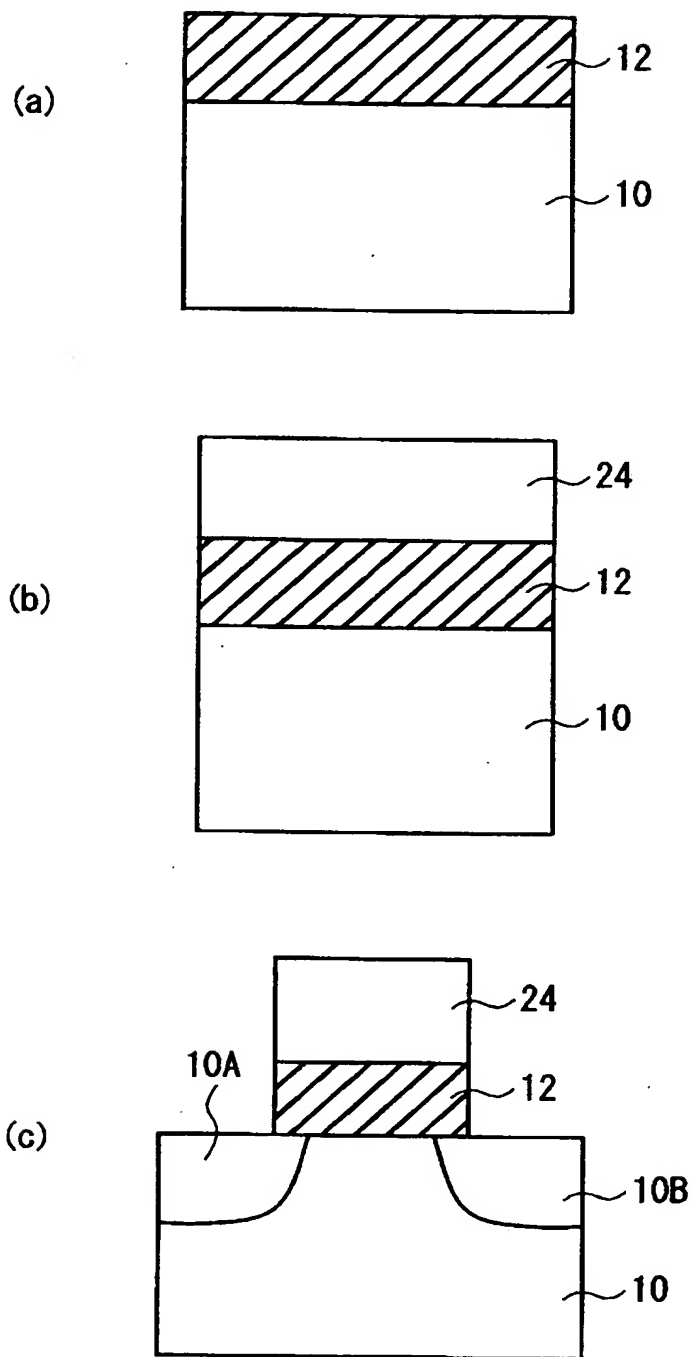


【図 4】

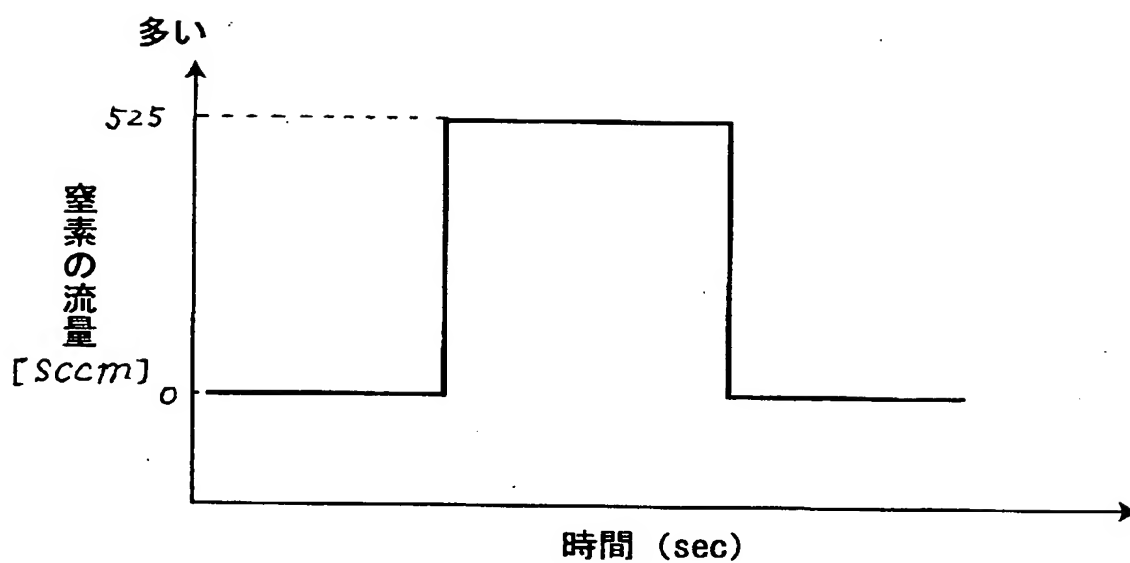


- 24…ゲート電極
- 26…側壁絶縁
- 28A…深い拡散領域
- 28B…浅い拡散領域
- 30…金属シリサイド層
- 32…チャネル領域

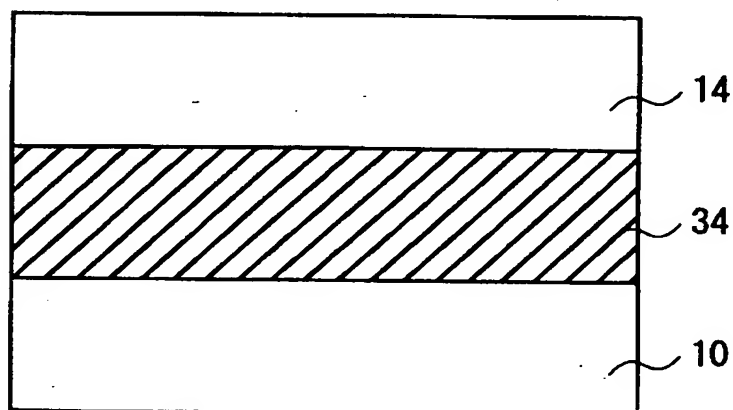
【図 5】



【図 6】

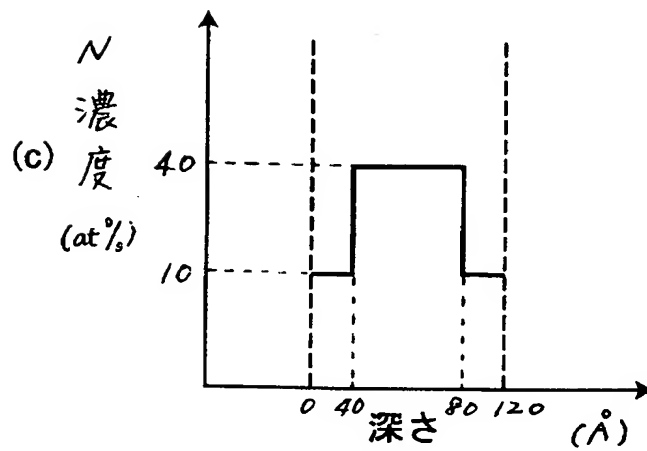
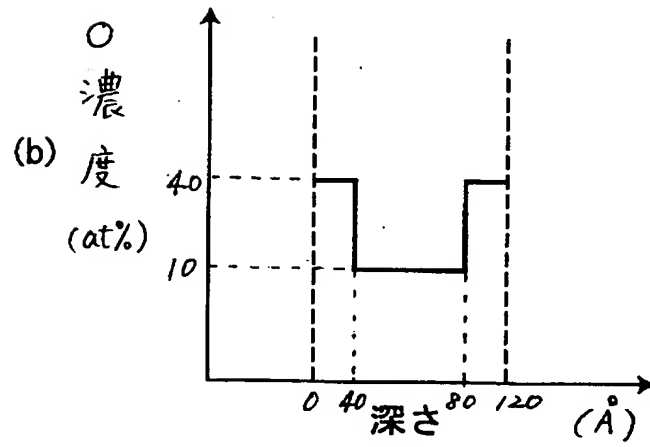
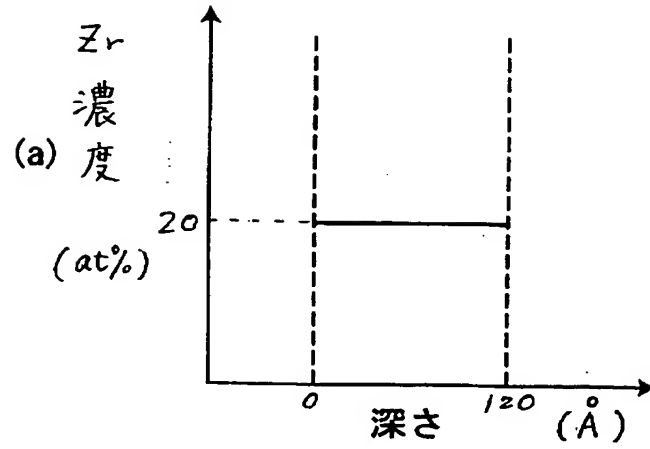


【図 7】

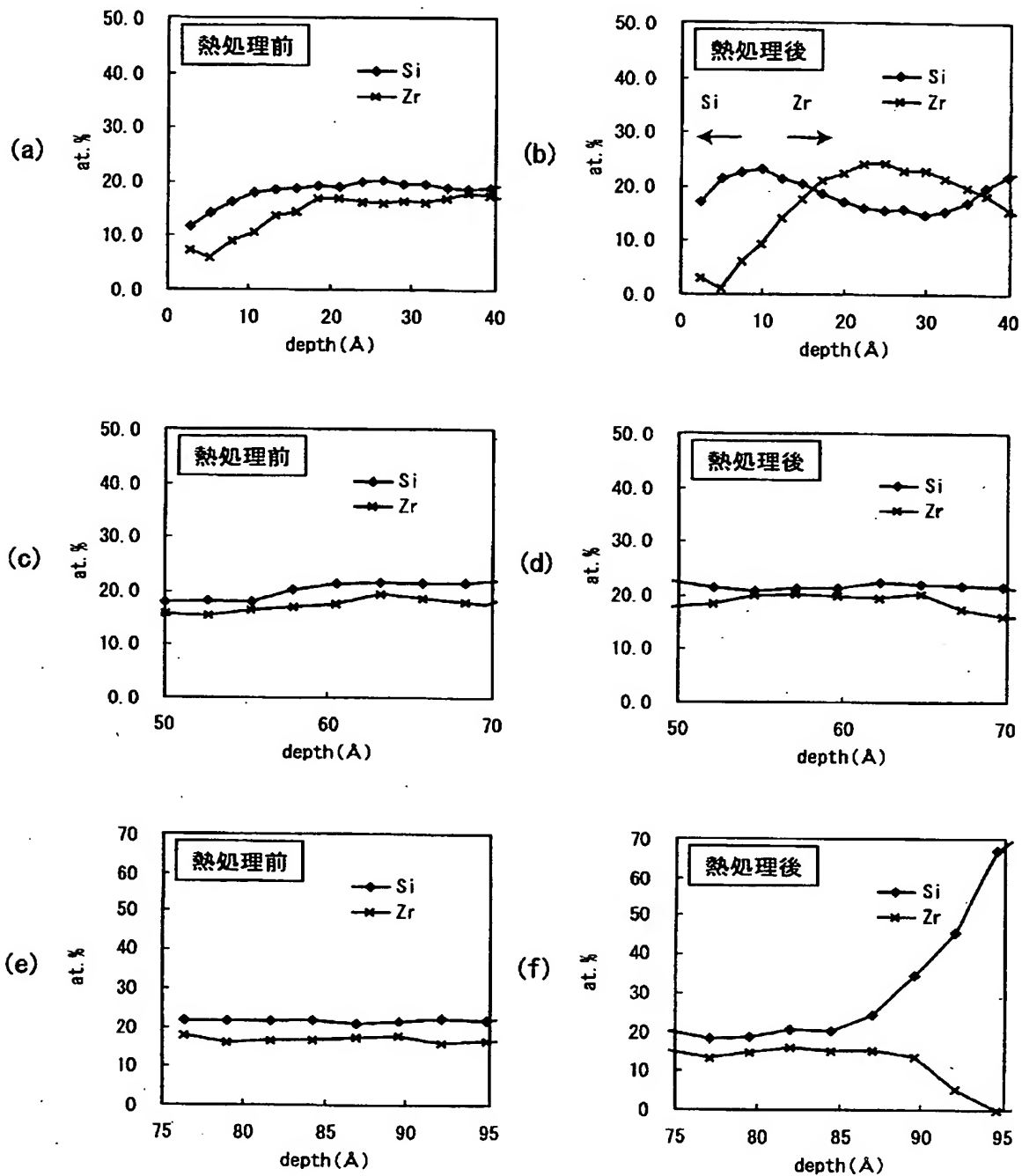


34…金属酸化物膜

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 絶縁膜のリーク電流を低減することが可能な金属シリケート膜などを用いた半導体装置とその簡便な製造方法の提供。

【解決手段】 シリコン基板 10 と、シリコン基板 10 上に形成された、シリコン、酸素、窒素、及び金属を含有するゲート絶縁膜 12' であって、シリコン基板 10 に接する第 1 の層領域と、ゲート絶縁膜 12' の第 1 の層領域と反対側の第 2 の層領域と、第 1 および第 2 の層領域の間にある第 3 の層領域を備え、前記第 3 の層領域における金属の最大濃度が第 1 及び第 2 の層領域における金属の濃度の最小値よりも高く、第 3 の層領域における窒素の最大濃度が第 1 及び第 2 の層領域における窒素の濃度の最小値よりも高いゲート絶縁膜と、第 2 の層領域に接するゲート電極と、ゲート絶縁膜の両脇に形成された一対のソース／ドレイン領域を備えることを特徴とする半導体装置を提供する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 8 5 1 5
受付番号	5 0 3 0 0 3 0 5 9 0 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 7 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月26日
-------	-------------

次頁無

特願 2003-048515

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝